

## 動的再構成技術に基づくシステムLSIの設計短期間 化および検証高効率化に関する研究

著者	宮本 直人
号	3364
発行年	2004
URL	<a href="http://hdl.handle.net/10097/8636">http://hdl.handle.net/10097/8636</a>

氏 名	みやもと なおと		
授 与 学 位	宮本 直人		
学位授与年月日	博士 (工学)		
学位授与の根拠法規	平成 17 年 3 月 25 日		
研究科, 専攻の名称	学位規則第 4 条第 1 項		
学 位 論 文 題 目	東北大学大学院工学研究科 (博士課程) 電子工学専攻		
指 導 教 官	動的再構成技術に基づくシステム LSI の設計短期間化および 検証高効率化に関する研究		
論文審査委員	主査	東北大学教授 高橋 研	東北大学教授 伊藤 隆司
		東北大学教授 須川 成利	東北大学教授 青木 孝文
		東北大学客員教授 大見 忠弘	(情報科学研究科)
		(未来科学技術共同研究センター)	
		東北大学助教授 小谷 光司	

## 論文内容要旨

携帯電話や家電製品など様々な電子機器に搭載されるシステム LSI は、高機能化・高性能化とともに設計短期間化・検証高効率化が強く要求されている。設計資産(IP)ベース設計はシステム LSI を短時間で設計するための有望な手法であるが、現在の IP ベース設計で使用される IP は機能が固定されており、IP の再利用を妨げる要因となっている。著者は、IP の再利用性を向上させるため、クロック単位で機能可変な IP を開発し、動的再構成 IP ベース設計手法を確立した。この手法を適用し、高速フーリエ変換(FFT)を含む高精度の画像認識プロセッサを実現し、設計期間の大幅な短期間化が可能であることを実証した。さらに、システム LSI の検証高効率化を目的として、動的再構成可能な LSI を用いた高速検証装置を開発した。

本論文は、これらの研究成果を取りまとめたものである。

第 1 章は序論である。

第 2 章では、動的再構成 IP ベース設計で必要となるシステム LSI のプラットフォームとして、2 段キャッシュメモリアーキテクチャ(CMA)を開発した。FFT は頻繁にメモリに格納されたデータにアクセスする必要があるが、これがプロセッサの消費電力増大の原因となっている。データアクセス回数を低減するには高基数のバタフライ演算器が必要である。2 段 CMA は、データの局所性が高い部分に対して、低基数のバタフライ演算を繰り返し実行することで実効的に高基数のバタフライ演算を行なう。バタフライ演算実行と同時にメモリアクセスを行うことで、2 段 CMA は高スループット、低消費電力、小面積で FFT を実行することができる。2 段 CMA に基づき、高速・低消費電力・小面積で 2 次元 FFT を実行可能な 2 段キャッシュ FFT プロセッサを開発した。このプロセッサは、バタフライ演算の実行とメモリアクセスを同時に行うことにより、 $512 \times 512$  画素の 2 次元 FFT を 30 フレーム/秒で演算することができる。このプロセッサは従来の 2 次元 FFT プロセッサに比べて約 6 倍の電力効率向上、約 1/3 のチップ面積低減を実現した。

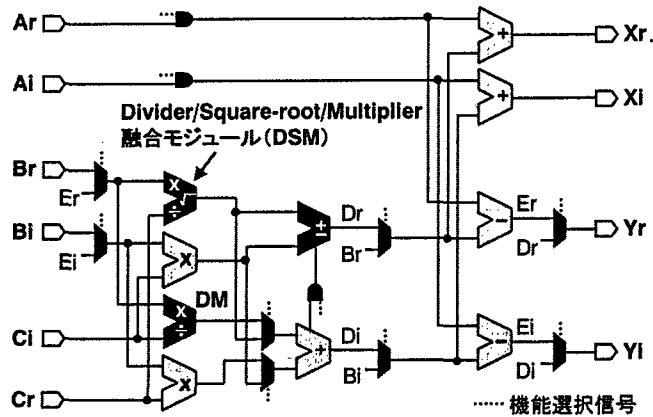


図1. バタフライ演算器ベース動的再構成ALUの回路図。

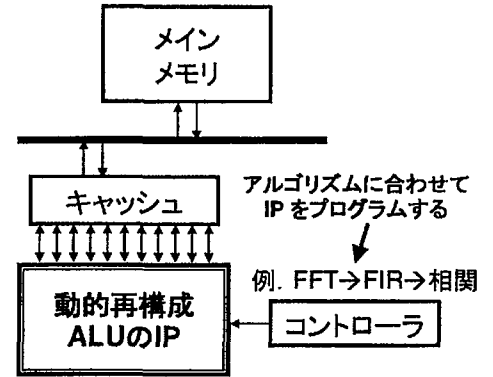


図2. 動的再構成プロセッサのアーキテクチャ。

第3章では、バタフライ演算器に基づく動的再構成演算器(ALU)のIPを開発し、動的再構成IPベース設計を行なった。バタフライ演算器ベース動的再構成ALUの回路図を図2に示す。この動的再構成ALUは、FFTを中心としたデジタル信号処理に不可欠な複数の演算機能（バタフライ演算、四則演算、積和演算、開平演算）を単独で実行することができる。この動的再構成ALUを用いた動的再構成IPベース設計により、高精度画像認識アルゴリズムを実装した動的再構成プロセッサを開発した。このプロセッサは、従来の画像認識プロセッサと比較して消費電力を約1/9に低減した。

第4章では、動的再構成IPベース設計を用いたシステムLSI設計短期間化の効果を実験的に検証した。動的再構成IPは、自身のハードウェア構成がソフトウェアのようにプログラム可能であることを特徴とする。動的再構成IPベース設計では、システムLSIに実装するアルゴリズムの差異は動的再構成IPに吸収されるため、同種のシステムLSIの設計毎に基本アーキテクチャを再設計する必要はない。2種類のFFTベースの動的再構成プロセッサを設計した結果、動的再構成IPベース設計は、システムLSIを最初から設計した場合と比較して約1/6.5に設計期間短時間化できることを明らかにした。

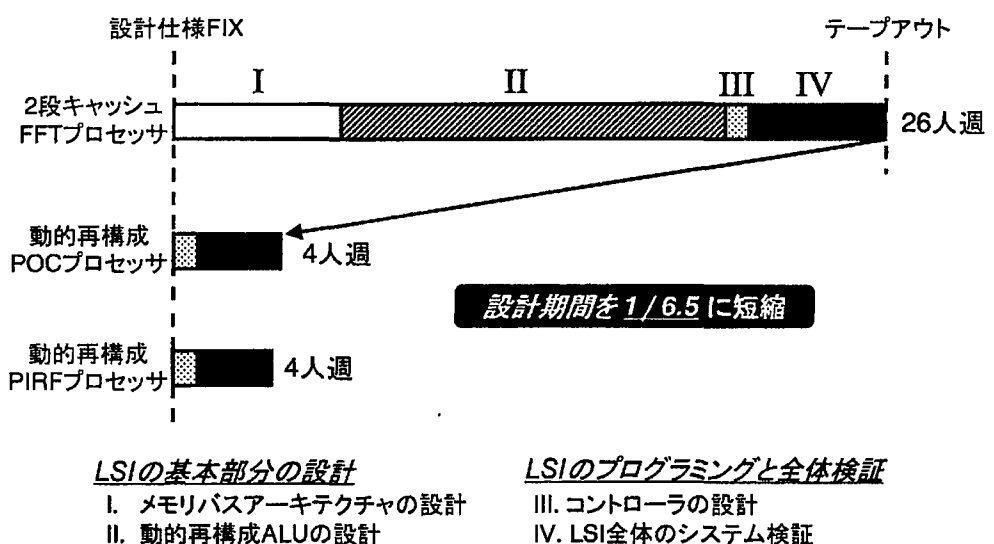


図3. 動的再構成IPベース設計の設計短期間化効果。

第5章では、動的再構成可能なLSIを搭載する小型で安価なハードウェアエミュレータの開発を行なった。論理的冗長性を削減することにより、回路構成情報量をルックアップテーブルの約1/7に低減した論理素子と、この論理素子を128個搭載した動的再構成可能なLSIであるフレキシブルプロセッサ(図4)を開発した。また、回路の時間的分割アルゴリズムを含む自動配置配線ソフトウェアを開発した。フレキシブルプロセッサを搭載したハードウェアエミュレータ(図5)を用いたときのシステムLSIの検証速度は、ソフトウェアシミュレータの検証速度よりも最大約600倍高速であることを明らかにした(図6)。これらは、システムLSIの検証高効率化につながる実用上重要な成果である。

第6章は結論である。

本論文は、動的再構成技術に基づくIPベース設計によりシステムLSI設計期間の短期間化が実現できることを示すとともに、動的再構成技術を応用した安価で小型なハードウェアエミュレータを実現し、システムLSIの検証を高効率化できることを示したものである。

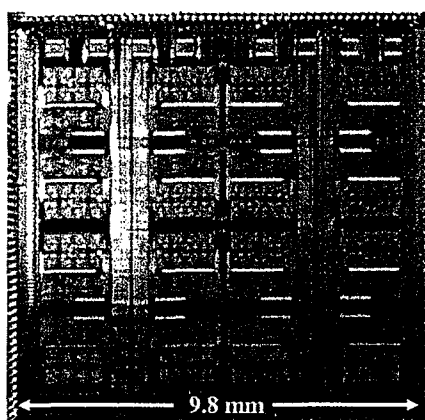


図4. フレキシブルプロセッサのチップ写真。

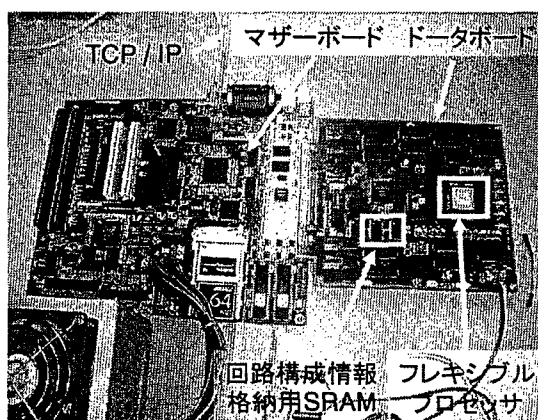


図5. パーソナルエミュレータのボード写真。

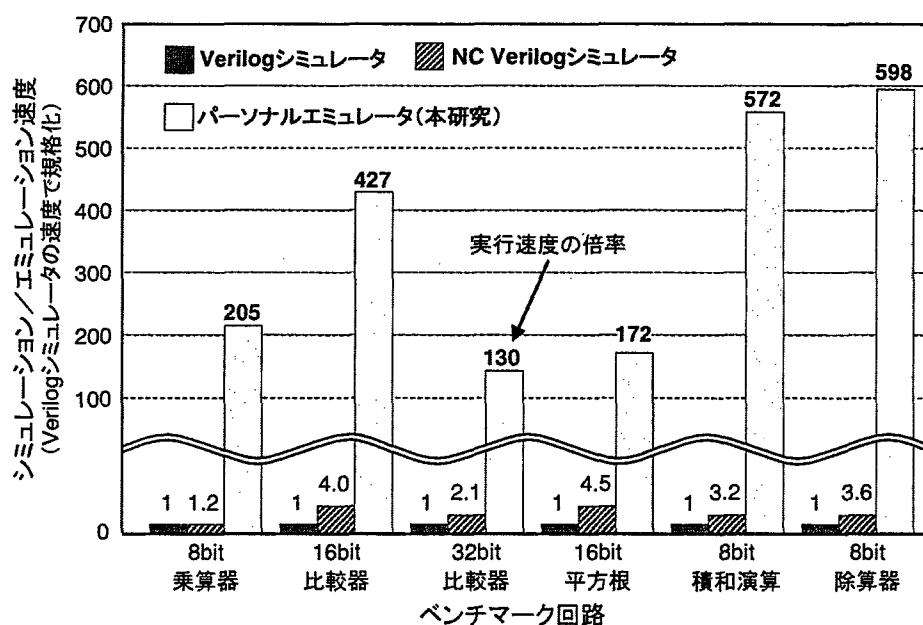


図6. パーソナルエミュレータの評価結果。

# 論文審査結果の要旨

携帯電話や家電製品など様々な電子機器に搭載されるシステム LSI は、高機能化・高性能化とともに設計短期間化・検証高効率化が強く要求されている。設計資産 (IP) ベース設計はシステム LSI を短時間で設計するための有効な手法であるが、現在の IP ベース設計で使用される IP は機能が固定されており、IP の再利用を妨げる要因となっている。著者は、IP の再利用性を向上させるため、クロック単位で機能可変な IP を開発し、動的再構成 IP ベース設計手法を確立した。この手法を適用し、高速フーリエ変換 (FFT) を含む高精度の画像認識プロセッサを実現し、設計期間の大幅な短期間化が可能であることを実証した。さらに、システム LSI の検証高効率化を目的として、動的再構成可能な LSI を用いた高速検証装置 (パーソナルハードウェアエミュレータ) を開発した。本論文は、これらの研究成果を取りまとめたものであり、全文 6 章よりなる。

第 1 章は序論である。

第 2 章では、動的再構成 IP ベース設計で必要となるシステム LSI のプラットフォームとして、2 段キャッシュメモリアーキテクチャを開発した。このアーキテクチャに基づき、高速・低消費電力・小面積で 2 次元 FFT を実行可能なプロセッサを開発した。このプロセッサは、バタフライ演算の実行とメモリアクセスを同時に行うことにより、 $512 \times 512$  画素の 2 次元 FFT を 30 フレーム/秒で演算することが可能である。このプロセッサは従来の 2 次元 FFT プロセッサに比べて約 6 倍の電力効率向上、約  $1/3$  のチップ面積低減を実現した。これらは、実用上重要な成果である。

第 3 章では、バタフライ演算器に基づく動的再構成演算器 (ALU) の IP を開発し、それを用いて動的再構成 IP ベース設計を行なった。この動的再構成 ALU は、FFT を中心としたデジタル信号処理に不可欠な複数の演算機能を単独で実行することができる。この動的再構成 ALU を用いた動的再構成 IP ベース設計により、高精度画像認識アルゴリズムを実装した動的再構成プロセッサを開発した。このプロセッサは、従来の画像認識プロセッサと比較して消費電力を約  $1/9$  に低減した。これらは、実用上重要な成果である。

第 4 章では、動的再構成 IP ベース設計を用いたシステム LSI 設計短期間化の効果を実験的に検証した。動的再構成 IP ベース設計を用いた場合、基本ハードウェアの設計が必要ないため、システム LSI 設計を約  $1/6.5$  に短期間化できることを明らかにした。これは、実用上極めて重要な成果である。

第 5 章では、動的再構成可能な LSI を搭載する小型で安価なパーソナルハードウェアエミュレータの開発を行なった。論理的冗長性を排除することで、必要な回路構成情報量を約  $1/7$  に低減した論理素子を開発し、この論理素子を搭載した動的再構成可能な LSI を開発した。また、回路の時間的分割アルゴリズムを含む自動配置配線ソフトウェアを開発した。このハードウェアエミュレータを用いたシステム LSI の検証速度は、ソフトウェアシミュレータの検証速度よりも最大で 600 倍程度高速であることを明らかにした。これらは、システム LSI の検証高効率化につながる実用上重要な成果である。

第 6 章は結論である。

以上要するに本論文は、システム LSI 設計期間の短期間化を、動的再構成 IP ベース設計により実現できることを示すとともに、安価で小型なパーソナルハードウェアエミュレータを実現し、検証をも高効率化できることを示したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。